

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年 7月11日  
Date of Application:

出願番号      特願2003-195576  
Application Number:

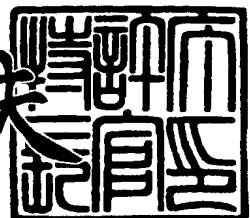
[ST. 10/C] :      [JP2003-195576]

出願人      沖電気工業株式会社  
Applicant(s):

2004年 2月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫





【書類名】 特許願

【整理番号】 GI000008

【提出日】 平成15年 7月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

【氏名】 野口 英和

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 110000165

【氏名又は名称】 グローバル・アイピー東京特許業務法人

【代表者】 宮川 良夫

【手数料の表示】

【予納台帳番号】 193162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベルシフト回路

【特許請求の範囲】

【請求項 1】

第1振幅の信号を第2振幅の信号に増幅するレベルシフト回路であって、  
第1電流駆動能力を有するトランジスタから構成され、第2振幅の出力信号を  
出力する第1インバータと、  
第1電流駆動能力よりも小さい第2電流駆動能力を有するトランジスタから構  
成され、入力側が前記第1インバータの出力側に接続されると共に出力側が前記  
第1インバータの入力側に接続された第2インバータと、  
第1電流駆動能力よりも小さくかつ第2電流駆動能力よりも大きい第3電流駆動  
能力を有するトランジスタから構成され、少なくとも一方がワンショットパルス  
信号である第1振幅の第1及び第2入力信号が入力されることにより前記第1イ  
ンバータ回路を駆動する反転回路と、を備えるレベルシフト回路。

【請求項 2】

前記第1インバータは、互いに直列接続されかつ互いに異なる導電型である第  
1及び第2トランジスタを有し、前記第2インバータは、互いに直列接続されか  
つ互いに異なる導電型である第3及び第4トランジスタを有し、

前記第1及び第2トランジスタのゲート端子が、前記反転回路の出力に接続さ  
れると共に、前記第3及び第4トランジスタの接続部に接続されており、

前記第1及び第2トランジスタの接続部が、前記第3及び第4トランジスタの  
ゲート端子に接続されており、前記第1及び第2トランジスタの接続部から前記  
出力信号が出力される、請求項1に記載のレベルシフト回路。

【請求項 3】

前記反転回路は、互いに直列接続されかつ互いに異なる導電型であり、前記第  
1及び第2入力信号に基づいてそれぞれ駆動される第5及び第6トランジスタを  
有する、請求項1又は2に記載のレベルシフト回路。

【請求項 4】

前記第1入力信号はワンショットパルス信号であり、

前記反転回路は、第2電流駆動能力と略同一の第4電流駆動能力を有しつつ常に導通される第7トランジスタと、前記第7トランジスタと直列接続され、第3電流駆動能力と略同一の第5電流駆動能力を有しつつ前記第1入力信号により駆動される第8トランジスタとをさらに備え、

前記第7及び第8トランジスタの接続部から出力される信号により、前記第5トランジスタが駆動される、請求項3に記載のレベルシフト回路。

#### 【請求項5】

前記第2インバータは、第2電流駆動能力と略同一の電流駆動能力を有し、前記第3及び第4トランジスタの接続部の状態を反転する場合に前記状態の保持を弱めるためのトランジスタをさらに有する、請求項2に記載のレベルシフト回路。

#### 【請求項6】

前記反転回路は、第2電流駆動能力と略同一の電流駆動能力を有し、前記第5及び第6トランジスタの接続部の状態を反転する場合に前記状態の保持を弱めるためのトランジスタをさらに有する、請求項3に記載のレベルシフト回路。

#### 【請求項7】

前記第2入力信号に基づいてワンショットパルス信号を生成するワンショットパルス生成回路をさらに備える、請求項1から6のいずれかに記載のレベルシフト回路。

#### 【請求項8】

前記ワンショットパルス生成回路は、第2入力信号に基づいて生成される遅延信号を用いてワンショットパルス信号を生成する、請求項7に記載のレベルシフト回路。

#### 【請求項9】

第1振幅の信号により動作すると共に、前記第1振幅の信号を第2振幅の信号に増幅して出力する半導体集積回路であって、

第1電流駆動能力を有するトランジスタから構成され、第2振幅の出力信号を出力する第1インバータと、

第1電流駆動能力よりも小さい第2電流駆動能力を有するトランジスタから構

成され、入力側が前記第1インバータの出力側に接続されると共に出力側が前記第1インバータの入力側に接続された第2インバータと、

第1電流駆動能力より小さくかつ第2電流駆動能力よりも大きい第3電流駆動能力を有するトランジスタから構成され、少なくとも一方がワンショットパルス信号である第1振幅の第1及び第2入力信号が入力されることにより前記第1インバータを駆動する反転回路と、を備える半導体集積回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、レベルシフト回路、特に、第1振幅の信号を第2振幅の信号に変換するレベルシフト回路に関する。

##### 【0002】

##### 【従来の技術】

近年の低消費電力化の要求により、半導体集積回路内部の電源電圧は徐々に低下しているが、一方、低電圧で動作する半導体集積回路の外部に高い電圧で動作する半導体集積回路装置が接続される場合があり、このような場合には、低電圧の半導体集積回路の信号をレベルシフト回路で昇圧してから外部の半導体集積回路装置に供給する必要がある。

##### 【0003】

レベルシフト回路は、例えば、出力側の高い電圧VCCで駆動されるフリップフロップと、入力側の低い電圧VDDで駆動されてフリップフロップの状態を反転させる反転用のトランジスタとから構成される。このようなレベルシフト回路では、反転トランジスタによりフリップフロップの状態を電源レベルVCCからグランドレベルVSSに引き下げる場合に、VCCとVDDとの差が大きいと、フリップフロップが状態をVCCに引き上げようとする力は強まり、反対に反転用トランジスタがVSSに引き下げようとする力は弱まるため、状態を反転できなくなる。このような状況は、VCCとVDDの差が大きい程に発生しやすく、VDDが反転用トランジスタの閾値電圧に近い場合にも発生しやすい。

##### 【0004】

このような状況を防止するには、反転用トランジスタのゲート幅を大きくする必要があるが、VCCとVDDの差が大きい場合には、フリップフロップのトランジスタの電流駆動能力が反転用トランジスタの電流駆動能力に比べて大きく見えるので、その電流駆動能力に打ち勝つためには反転用トランジスタのゲート幅を大幅に拡大する必要がある。さらに、反転用トランジスタのゲート幅の拡大に伴って、反転トランジスタを駆動するドライバ回路も大きくする必要があり、回路面積が大幅に拡大する虞がある。

### 【0005】

従来のレベルシフト回路には、例えば特許文献1～3に記載されたものがある。特許文献1に記載のレベルシフト回路は、CMOSトランジスタをカスケードに2段接続し、第1段のCMOSトランジスタのグランドレベルを負電圧にして閾値電圧を低下させることにより、第2段のCMOSトランジスタを高速に反転できるようにしている。特許文献2には、状態保持機能付きのレベルシフト回路が記載されている。このレベルシフト回路は、CMOSトランジスタをリング状に接続してなるフリップフロップ回路において、各インバータの電源側から2つの入力信号をそれぞれ入力し、それぞれ、入力信号が入力されるCMOSトランジスタとは反対側のCMOSトランジスタの接続部から出力信号を取り出すように構成している。さらに、各CMOSトランジスタにおいて、グランド側のトランジスタの電流駆動能力を電源側のトランジスタの電流駆動能力よりも十分小さくすることにより、レベルシフトに伴うDC電流の消費を低減している。特許文献3には、状態保持機能付きのレベルシフト回路が記載されており、このレベルシフト回路は、CMOSトランジスタからなるインバータをカスケードに2段接続し、2段目のCMOSトランジスタにはクロック信号で駆動されるラッチ用トランジスタが挿入され、インバータの出力をラッチするように構成している。

### 【0006】

#### 【特許文献1】

特開平10-84259号公報（第3～6頁、第1、第3図）

### 【0007】

#### 【特許文献2】

特開平5-55900号公報（第2-3頁、第1、第6図）

【0008】

【特許文献3】

特開平9-244585号公報（第3-12頁、第1図）

【0009】

【発明が解決しようとする課題】

特許文献1に記載のレベルシフト回路では、第1段のCMOSトランジスタのグランドレベルの負電圧を生成するための電源回路が余分に必要となり、回路面積が拡大する虞がある。また、特許文献1には、状態保持機能付きのレベルシフト回路については記載されていない。

【0010】

特許文献2に記載のレベルシフト回路では、グランド側のトランジスタの電流駆動能力を電源側のトランジスタの電流駆動能力よりも十分小さくするため、DC電流の消費は抑制できるものの、出力状態がLレベルに反転する時間が長くなり、高速化の支障になる虞がある。また、入力側電圧と出力側電圧の差が大きくなつた場合の回路面積の低減については記載されていない。

【0011】

特許文献3に記載のレベルシフト回路では、出力状態をラッチするためにクロック信号を入力する必要があり、クロック信号入力用の配線が余分に必要となり、回路面積が拡大する虞がある。

【0012】

本発明は、レベルシフト回路において、入力側の電源電圧が出力側の電源電圧に対して大幅に低い場合にも、回路面積の拡大を抑制することにある。

【0013】

【課題を解決するための手段】

本発明に係るレベルシフト回路は、第1振幅の信号を第2振幅の信号に増幅するレベルシフト回路であつて、第1インバータと、第2インバータと、反転回路とを備えている。第1インバータは、第1電流駆動能力を有するトランジスタから構成され、第2振幅の出力信号を出力する。第2インバータは、第1電流駆動

能力よりも小さい第2電流駆動能力を有するトランジスタから構成され、入力側が第1インバータの出力側に接続されると共に出力側が第1インバータの入力側に接続されている。反転回路は、第1電流駆動能力よりも小さくかつ第2電流駆動能力よりも大きい第3電流駆動能力を有するトランジスタから構成され、少なくとも一方がワンショットパルス信号である第1振幅の第1及び第2入力信号が入力されることにより第1インバータ回路を駆動する。

### 【0014】

#### 【作用】

このレベルシフト回路では、第1振幅の第1及び第2入力信号に基づいて反転回路から駆動信号が出力され、この駆動信号が第1インバータの入力側に供給され、第1インバータからは駆動信号を反転した第2振幅の出力信号が出力されると共に、この出力信号が第2インバータにより反転されて駆動信号と同レベルの信号が第1インバータの入力側に供給し、第2インバータにより第1インバータの状態を保持する。第2インバータは出力信号の状態を保持するのみで良いので、出力側の負荷を駆動する第1インバータが大きな電流駆動能力（第1電流駆動能力）を必要とするのに比較して、第2インバータの電流駆動能力は非常に小さくて良い（第2電流駆動能力）。このため、出力状態を保持している第2インバータの出力側の状態を反転するには、それ程大きな電流駆動能力を必要とせず、第2電流駆動能力よりは大きいが、第1電流駆動能力よりはかなり小さい電流駆動能力（第3電流駆動能力）があればよい。従って、電流駆動能力が大きい第1インバータの出力信号の状態を直接反転させる場合に比較して、反転回路の電流駆動能力を大幅に低減することができる。この結果、入力側の電源電圧が出力側の電源電圧に比較して大幅に低い場合でも、反転回路を構成するトランジスタのゲート幅の拡大を最小限に抑制して回路面積の拡大を抑制しつつ、レベルシフト回路の状態の反転を適切に行うことができる。

### 【0015】

#### 【発明の実施の形態】

##### （1）第1実施形態

###### 〔回路構成〕

図1は、本発明の第1実施形態に係るレベルシフト回路3の電気回路図である。このレベルシフト回路3は、電源レベルVDD—グランドレベルVSSの振幅で駆動される半導体集積回路1から電源レベルVCC—グランドレベルVSSで駆動される半導体集積回路2に信号を增幅、即ち昇圧して出力するインターフェース回路に使用される。ここでは、レベルシフト回路3が半導体集積回路1に設けられる例を説明するが、半導体集積回路2に設けても良い。

#### 【0016】

図1に示すように、このレベルシフト回路3は、半導体集積回路2に出力信号Voutを出力する出力用のインバータ10と、インバータ10の出力信号Voutの状態を保持する状態保持用のインバータ20と、インバータ10を駆動するための反転回路30とから構成されている。

#### 【0017】

インバータ10は、互いに直列に接続されたpchのトランジスタP10、nchのトランジスタN10からなるCMOSトランジスタで構成されており、各トランジスタP10及びN10は第1電流駆動能力DC1を有するようなゲート幅にそれぞれ形成されている。トランジスタP10のドレイン端子は半導体集積回路2の電源電圧（電源レベル）VCCに接続され、トランジスタN10のソース端子はグランドレベルVSSに接続されている。トランジスタP10のソース端子とトランジスタN10のドレイン端子とは互いに接続され、その接続部から出力信号Voutが出力される。トランジスタP10及びN10のゲート端子には、反転回路30から駆動信号が入力される。ここで、説明の便宜のため、駆動信号が入力されるノードをノードn1、出力信号Voutが出力されるノードをノードn2とする。

#### 【0018】

インバータ20は、互いに直列に接続されたpchのトランジスタP20、nchのトランジスタN20からなるCMOSトランジスタで構成されており、各トランジスタP20及びN20は第1電流駆動能力DC1よりも小さい第2電流駆動能力DC2を有するようなゲート幅にそれぞれ形成されている。トランジスタP20のドレイン端子は半導体集積回路2の電源レベルVCCに接続され、ト

ランジスタN20のソース端子はグランドレベルVSSに接続されている。トランジスタP20及びN20のゲート端子は、インバータ10の出力部であるノードn2に接続されており、トランジスタP20のソース端子及びトランジスタN20のドレイン端子の接続部は、インバータ10の入力側であるノードn1に接続されている。

### 【0019】

反転回路30は、半導体集積回路1の電源レベルVDDで生成される入力信号IN、INbの入力に基づいて、インバータ10を駆動するための駆動信号を出力する。反転回路30は、互いに直列に接続されたpchのトランジスタP30及びnchのトランジスタN30からなるCMOSトランジスタと、互いに直列に接続されたpchのトランジスタP31及びnchのトランジスタN31からなるCMOSトランジスタとから構成されている。トランジスタP30及びN30は、第1電流駆動能力DC1よりも小さくかつ第2電流駆動能力DC2よりも大きい第3電流駆動能力DC3を有するようにゲート幅が形成されている。また、トランジスタP31は、第2電流駆動能力DC2と略同一（同程度）の第4電流駆動能力DC4を有するようにゲート幅が形成されており、トランジスタN31は、第3電流駆動能力と略同一（同程度）の第5電流駆動能力DC5を有するようにゲート幅が形成されている。

### 【0020】

トランジスタP30のドレイン端子は半導体集積回路2の電源レベルVCCに接続されており、トランジスタN30のソース端子はグランドレベルVSSに接続されている。トランジスタP30のソース端子とトランジスタN30のドレイン端子との接続部はインバータ10の入力側であるノードn1に接続されている。トランジスタP31のドレイン端子は半導体集積回路2の電源レベルVCCに接続されており、トランジスタN31のソース端子はグランドレベルVSSに接続されている。また、トランジスタP31のソース端子及びトランジスタN31のドレイン端子は互いに接続され、トランジスタP30のゲート端子に接続されている。ここで、トランジスタP31のソース端子、トランジスタN31のドレイン端子及びトランジスタP30のゲート端子が接続されるノードをノードn0

とする。

### 【0021】

トランジスタP31のゲート端子はグランドに接続されて常時導通状態にされており、トランジスタN31のゲート端子には入力信号INが入力される。ここで、入力信号INは、図2に示すようにパルス幅tdのワンショットパルス信号である。トランジスタP31及びN31は、入力信号INに基づいて、ノードn0の状態を電源レベルVCC又はグランドレベルVSSに反転する。また、トランジスタP30及びN30は、入力信号INにより決まるノードn0の状態及び入力信号INbに基づいて、ノードn1の状態を電源レベルVCC又はグランドレベルVSSに反転する。

### 【0022】

ここで、各トランジスタの電流駆動能力の比較のために第1電流駆動能力DC1をDC1=100と仮定する。インバータ20はインバータ10の出力状態を保持するのみで良いので、トランジスタP20及びN20の第2電流駆動能力DC2は、DC1の1/100~1/50であるDC2=1~2である。また、トランジスタP20又はN20により状態が保持されるノードn1の状態を反転するためのトランジスタP30及びN30の第3電流駆動能力DC3は、DC2の約5~10倍必要であり、DC2=5~20である。また、第4及び第5電流駆動能力は、それぞれDC4=約1~2、DC5=約5~20である。

### 【0023】

#### 〔動作〕

図2は、レベルシフト回路3の動作を説明するための各部信号波形である。

### 【0024】

まず、INbがVDD、INがVSSである場合には、トランジスタN31が非導通であり、常時導通のトランジスタP31によりノードn0がVCCに保持されている。ノードn0がVCC、INbがVDDであるので、トランジスタP30が非導通、トランジスタN30が導通し、ノードn1はVSSに短絡されている。従って、ノードn1はVSSであり、トランジスタP10が導通し、出力信号Vout=VCCがノードn2に出力されている。インバータ20のトラン

ジスタP20及びN20のゲート端子にはVCCが入力され、トランジスタN20が導通し、ノードn1をVSSに保持している。

### 【0025】

次に、INbがVDDからVSSに、INがVSSからVDDに反転する場合には、トランジスタN31が導通し、ノードn0がVSSに短絡される。ここで、トランジスタP31の第4電流駆動能力DC4がトランジスタN31の第5電流駆動能力DC5よりも十分小さいので、トランジスタN31はトランジスタP31の電流駆動能力に打ち勝って、ノードn0をVCCからVSSに反転する。ノードn0がVSSに反転すると、トランジスタP30が導通する一方、トランジスタN30は非導通であるので、ノードn1はVSSからVCCに反転する。このとき、トランジスタN20の第2電流駆動能力DC2よりもトランジスタP30の第3電流駆動能力DC3の方が十分大きいので、トランジスタP30はトランジスタN20の電流駆動能力に打ち勝って、ノードn1をVSSからVCCに反転する。ノードn1がVCCに反転すると、トランジスタN10が導通し、出力信号Vout=VSSがノードn2に出力される。また、インバータ20のトランジスタP20が導通し、ノードn1をVCCに保持する。

### 【0026】

INが時間tdの間VDDになった後再びVSSとなると、トランジスタN31は非導通となり、ノードn0がVCCに反転するのでトランジスタP30が非導通となる。このとき、INbはVSSのままでトランジスタN30も非導通の状態である。従って、ノードn1は電源レベルVCCからもグランドレベルVSSからも切り離される一方、トランジスタP20を介してVCCに保持されるので、ノードn1をVCCの状態に保持してトランジスタN10を導通させ続け、出力信号Vout=VSSの状態を保持する。

### 【0027】

次に、INbがVDDに反転した場合、トランジスタN30が導通する。一方、INはVSSの状態が続くので、トランジスタP30は非導通のままであり、ノードn1はVCCからVSSに反転する。このとき、ノードn1にはトランジスタP20を介してVCCが供給されているが、トランジスタP20の第2電流

駆動能力DC2よりもトランジスタN30の第3電流駆動能力DC3の方が十分大きいため、ノードn1の状態をVSSに反転する。ノードn1がVSSに反転すると、トランジスタP10が導通し、出力信号Vout=VCCがノードn2に出力される。

### 【0028】

#### 〔まとめ〕

以上述べたように、本実施形態のレベルシフト回路3では、状態保持用のインバータ20により出力用のインバータ10の出力状態を保持するように構成したので、トランジスタP20及びN20の電流駆動能力DC2をトランジスタP10及びN10の電流駆動能力DC1の1/100～1/50と極めて小さくすることができ、この極めて小さい電流駆動能力DC2で保持される状態を反転する反転回路30のトランジスタP30及びN30の電流駆動能力DC3も小さくすることができる。従って、トランジスタP30及びN30のゲート幅を小さくすることができる。また、トランジスタP30の状態を反転するトランジスタN31も同程度の電流駆動能力で良いので、トランジスタN31のゲート幅も小さくすることができる。従って、半導体集積回路1の電源レベルVDDが半導体集積回路2の電源レベルVCCに比較して大幅に低い場合であっても、回路面積の拡大を最小限に抑制しつつ、レベルシフト回路3の状態の反転を適切に行うことができる。

### 【0029】

#### （2）第2実施形態

図3は、本発明の第2実施形態に係るレベルシフト回路3の電気回路図である。

### 【0030】

本実施形態に係るレベルシフト回路3では、入力信号INbに基づいてワンショットパルス信号である入力信号INを生成するワンショットパルス生成回路40を設け、ワンショットパルス生成回路40で生成された入力信号INを反転回路30に入力する。

### 【0031】

図4は、ワンショットパルス生成回路40の電気回路図である。このワンショットパルス生成回路40は、入力信号INbを信号INb1に反転するインバータ51と、信号INb1を遅延及び反転して信号INb2を生成する遅延回路としてのインバータ52～54と、信号INb1及びINb2のNANDを算出するNAND回路55と、NAND信号を反転して入力信号INを生成するインバータ56とから構成されている。これらのインバータ51～54、NAND回路55及びインバータ56は、電源レベルVDDで動作する。

### 【0032】

図5は、このワンショットパルス生成回路40の動作を説明する各部の信号波形である。入力信号INbがVDDからVSSに反転すると、INb1はVSSからVDDに反転するが、INb2はインバータ52～54により遅延時間tdの間だけ反転が遅れ、VDDに保持される。従って、この遅延時間tdの間では、INb1及びINb2が共にVDDとなり、INがVDDとなる。遅延時間tdの経過後、INb2がVSSに反転すると、INは再びVSSに戻る。このようにして、ワンショットパルス信号である入力信号INが生成される。なお、信号INbがVSSからVDDに反転する際には、INb1がVDDからVSSに反転し、信号INb2は遅延時間tdの間VSSに保持されるが、NAND回路55の出力は変化せず、INはVSSからVDDには反転しない。従って、このワンショットパルス信号回路50は、INbがVDDからVSSに反転する場合にのみパルス幅tdのワンショットパルス信号を発生する。

### 【0033】

本実施形態では、簡易な構成のワンショットパルス生成回路40を追加することにより、レベルシフト回路3を入力信号INbの入力に基づいて出力信号Voutを出力するように構成でき、状態保持機能を持たないレベルシフト回路と同様の動作をさせることができる。

### 【0034】

#### (3) 第3実施形態

図6は、第3実施形態に係るレベルシフト回路3の電気回路図である。第1実施形態に係る半導体集積回路1と同様の構成には同様の符号を付し、説明を省略

する。本実施形態では、第1実施形態に係るレベルシフト回路3において、トランジスタP32、P21及びN21を追加する。

### 【0035】

トランジスタP32は、反転回路30においてトランジスタP31とトランジスタN31との間に、より詳細には、トランジスタP31とノードn0との間に挿入され、ゲート端子に入力信号INが入力される。なお、トランジスタP32は、電源レベルVCCとトランジスタP31との間に挿入しても良い。トランジスタP32は、トランジスタP31の電流駆動能力DC4と略同一（同程度）の電流駆動能力になるようにゲート幅が形成されている。レベルシフト回路3の動作時において、入力信号INbがVDDからVSSに反転し、入力信号INがVSSからVDDに反転すると、トランジスタN31が導通する。このとき、トランジスタP32のゲート幅はトランジスタN31よりも狭く、ゲート-ソース間電圧が閾値電圧を超えるため、VDD(<VCC)では完全に遮断されないものの、ソース・ドレイン間に所定の抵抗値を発生させる。従って、トランジスタP31がノードn0の状態をVCCに引き上げる力を実質的に弱め、トランジスタN31によりノードn0の状態をVCCからVSSまで速やかに反転させることができる。また、トランジスタN31が導通状態になったとき、トランジスタP32の抵抗値により、トランジスタP31及びトランジスタN31を介して電源レベルVCCからグランドレベルVSSに流れる貫通電流を制限することができる。

### 【0036】

トランジスタP21は、インバータ20において電源レベルVCCとトランジスタP20との間に挿入され、ゲート端子には入力信号INbが入力される。なお、トランジスタP21は、トランジスタP20とノードn1との間に挿入しても良い。トランジスタN21は、インバータ20においてグランドレベルVSSとトランジスタN20との間に挿入され、ゲート端子がノードn0に電気的に接続される。なお、トランジスタN21は、トランジスタN20とノードn1との間に挿入しても良い。トランジスタP21及びN21は、トランジスタP20及びN20の電流駆動能力DC2と略同一（同程度）の電流駆動能力を有するよう

にゲート幅が形成されている。

### 【0037】

レベルシフト回路3の動作時において、入力信号INbがVSSからVDDに反転すると、トランジスタN30が導通する。このとき、トランジスタP21はゲート-ソース間電圧が閾値電圧を超えるため、VDD(<VCC)では完全に遮断されないが、ソース-ドレイン間に所定の抵抗値を発生する。従って、トランジスタP20がノードn1の状態をVCCに引き上げる力を実質的に弱め、トランジスタN30によりノードn1の状態をVCCからVSSまで速やかに反転させることができる。また、トランジスタN20が導通状態になったとき、トランジスタP21の抵抗値により、トランジスタP20及びN20を介して電源レベルVCCからグランドレベルVSSに流れる貫通電流を制限することができる。

### 【0038】

一方、入力信号INbがVDDからVSSに反転すると、トランジスタP30が導通する。このとき、トランジスタN21はノードn0がVSSとなり非導通となる。従って、トランジスタN20がノードn1の状態をVSSに引き下げる力を停止し、トランジスタP30によりノードn1の状態をVSSからVCCまで速やかに反転させることができる。また、トランジスタP20が導通状態になったとき、トランジスタN21が非導通であるので、トランジスタP20及びN20を介して電源レベルVCCからグランドレベルVSSに流れる貫通電流を制限することができる。

### 【0039】

なお、ここでは、トランジスタP32、P21及びN21を追加したが、これらのうちいずれか1つ又は2つを追加しても、上記のいずれかの効果が得られる。例えば、トランジスタP32のみを追加した場合には、ノードn0の状態をVCCからVSSに反転させ易くなるとともに、貫通電流を低減することができる。また、トランジスタP21又はN21の少なくとも一方を追加すれば、ノードn1の状態をそれぞれVCCからVSS又はVSSからVCCに反転させ易くなるとともに、貫通電流を低減することができる。

## 【0040】

## (4) 第4実施形態

図7は、本発明の第4実施形態に係るレベルシフト回路の電気回路図である。本実施形態では、上記第3実施形態に係るレベルシフト回路3において、第2実施形態に示したワンショットパルス生成回路40を設け、入力信号INbに基づいてワンショットパルス生成回路40で生成された入力信号INを反転回路3に入力する。本実施形態によれば、第3実施形態で述べた作用効果に加え、第2実施形態で述べた作用効果を奏する。

## 【0041】

## 【発明の効果】

本発明によれば、出力用インバータと状態保持用インバータとを別々にすることにより、状態保持用インバータの電流駆動能力を小さくし、状態保持用インバータが保持する状態を反転回路が反転するように構成したので、反転回路の電流駆動能力を大幅に低減することができる。この結果、入力側の電源レベルが出力側の電源レベルに比べて大幅に低い場合でも、反転回路を構成するトランジスタのゲート幅の拡大を最小限に抑制し、回路面積の拡大を抑制し得る。

## 【図面の簡単な説明】

## 【図1】

第1実施形態に係るレベルシフト回路の電気回路図。

## 【図2】

レベルシフト回路の動作を説明するための各部信号波形。

## 【図3】

第2実施形態に係るレベルシフト回路の電気回路図。

## 【図4】

ワンショットパルス生成回路の電気回路図。

## 【図5】

ワンショットパルス生成回路の動作を説明するための各部信号波形。

## 【図6】

第3実施形態に係るレベルシフト回路の電気回路図。

## 【図7】

第4実施形態に係るレベルシフト回路の電気回路図。

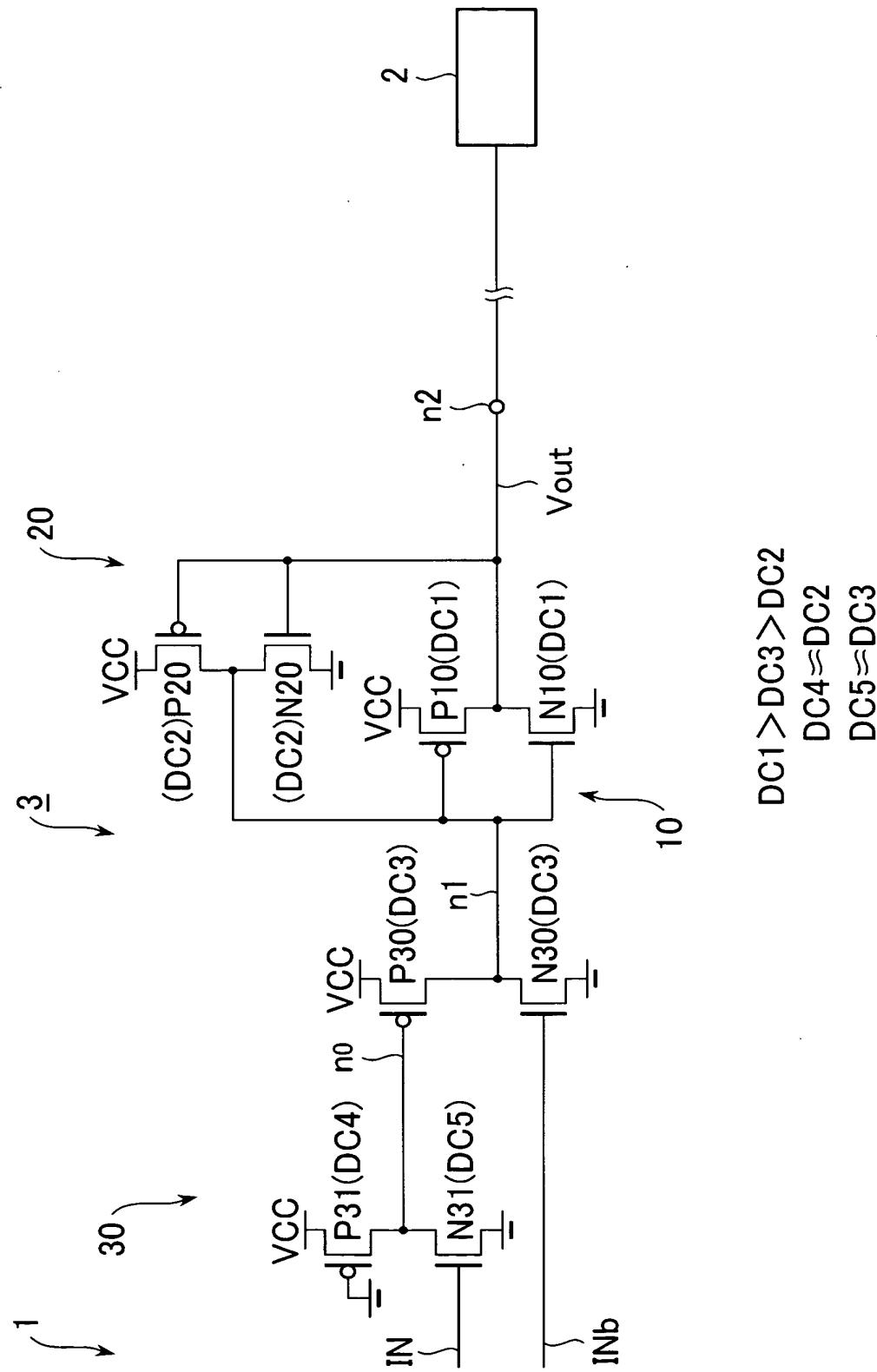
## 【符号の説明】

- 1 第1半導体集積回路
- 2 第2半導体集積回路
- 3 レベルシフト回路
- 10 出力用インバータ
- 20 状態保持用インバータ
- 30 反転回路
- 40 ワンショットパルス生成回路

【書類名】

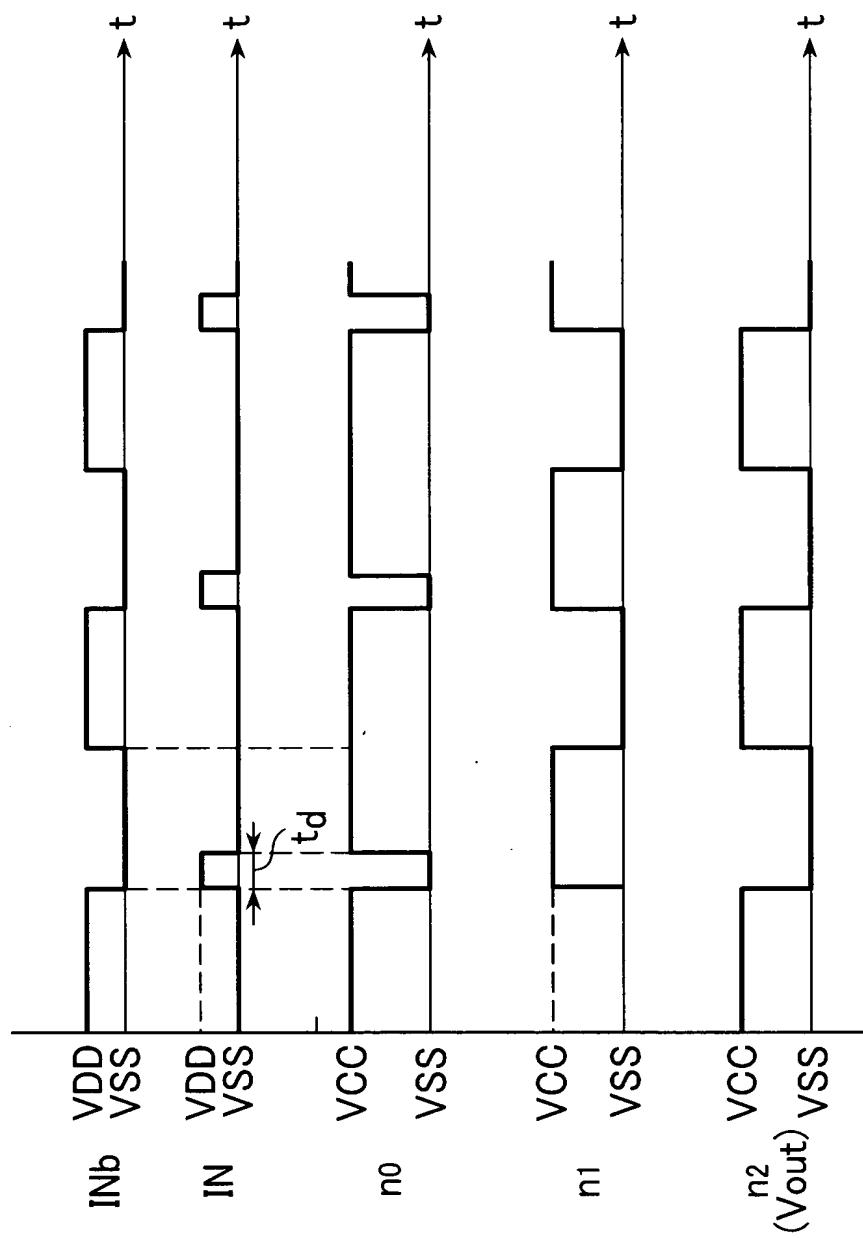
図面

【図 1】

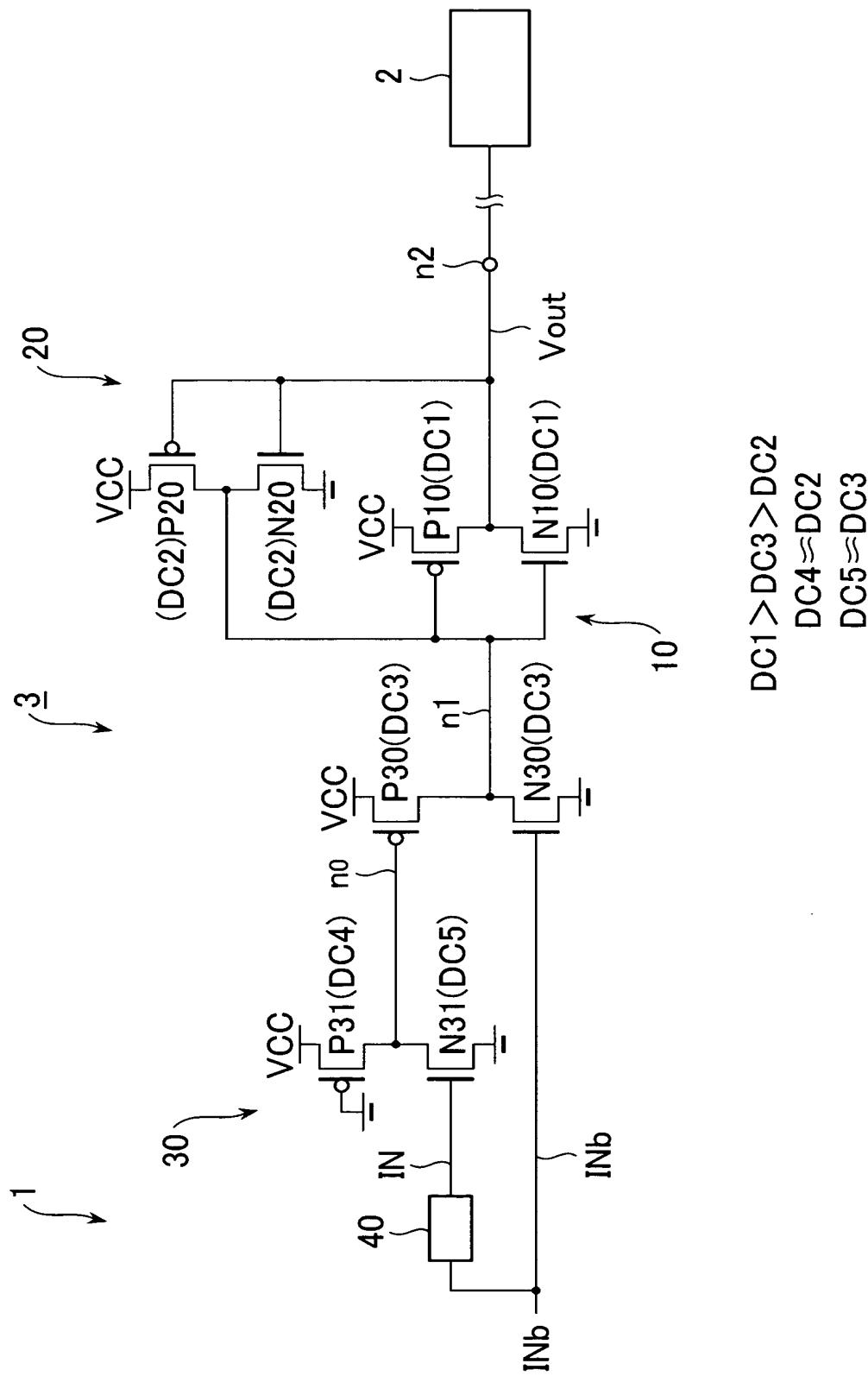


$DC1 > DC3 > DC2$   
 $DC4 \approx DC2$   
 $DC5 \approx DC3$

【図2】

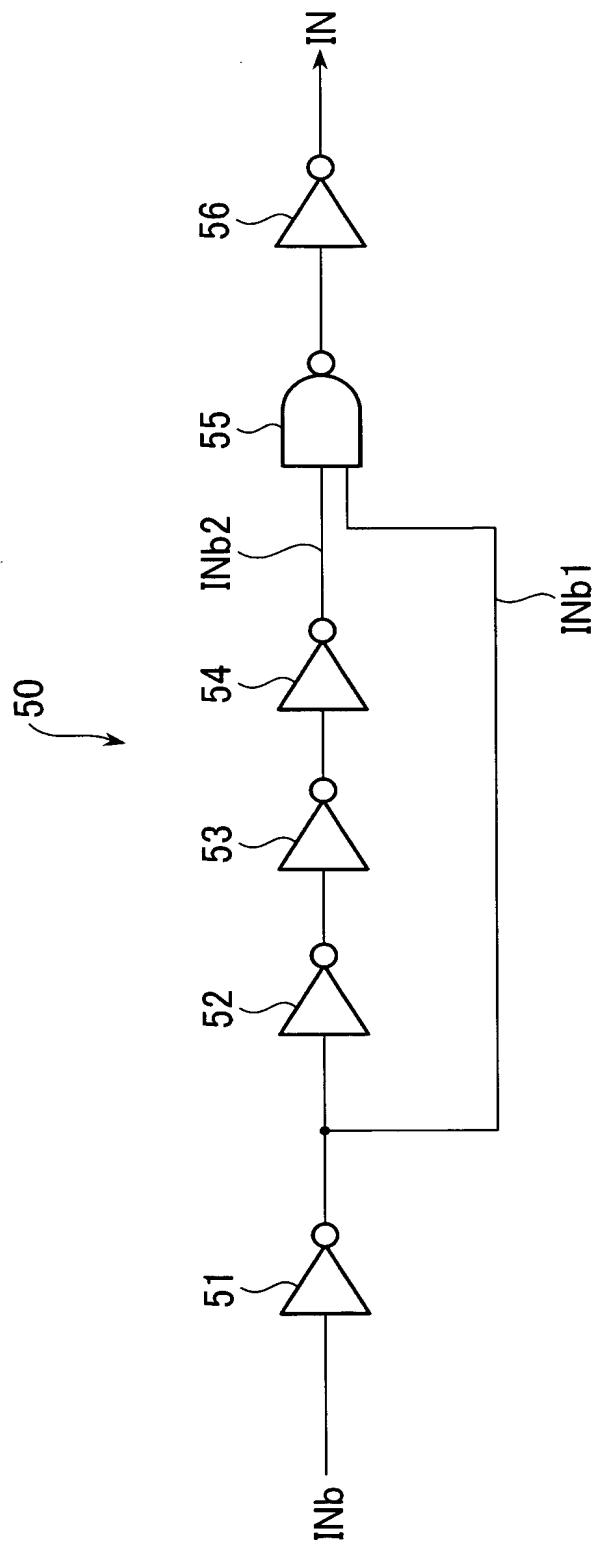


【図3】

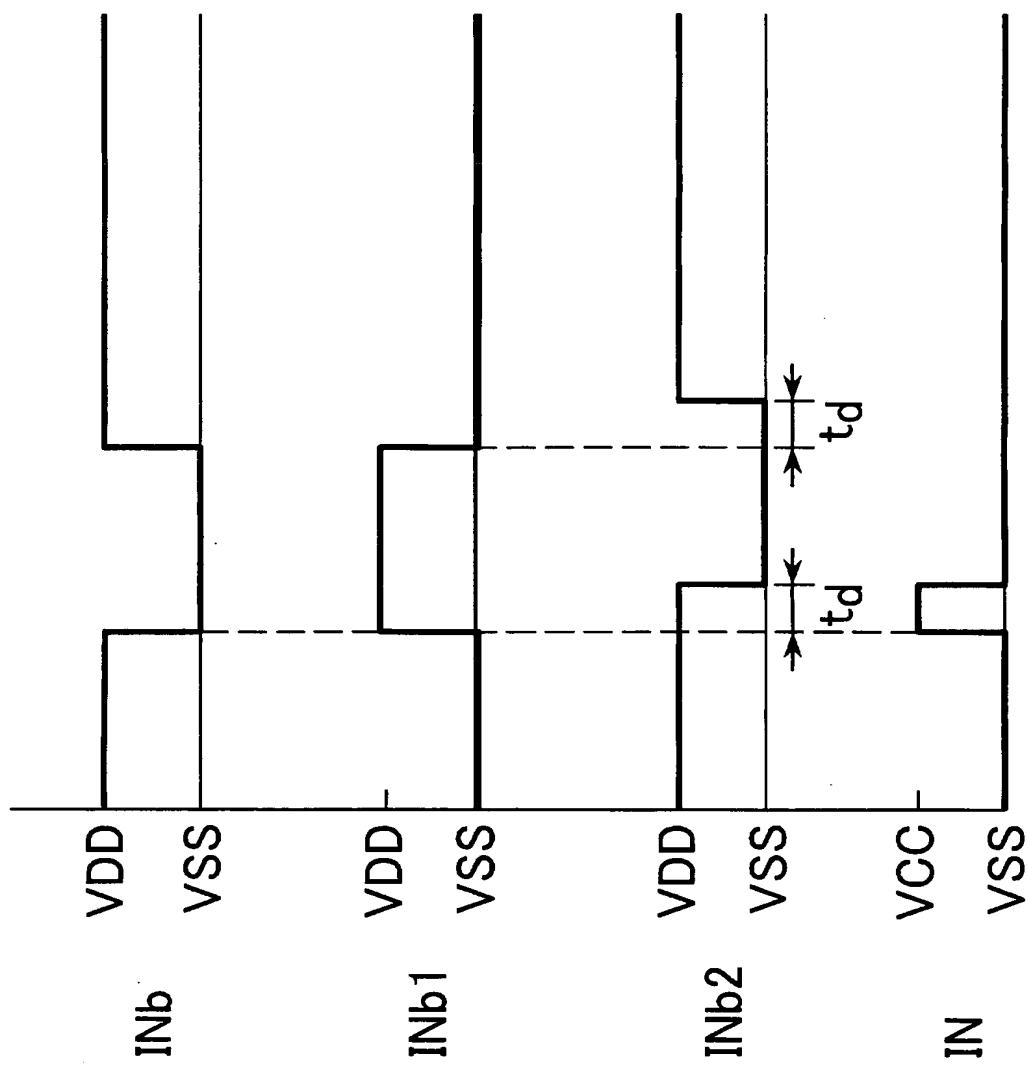


$DC1 > DC3 > DC2$   
 $DC4 \approx DC2$   
 $DC5 \approx DC3$

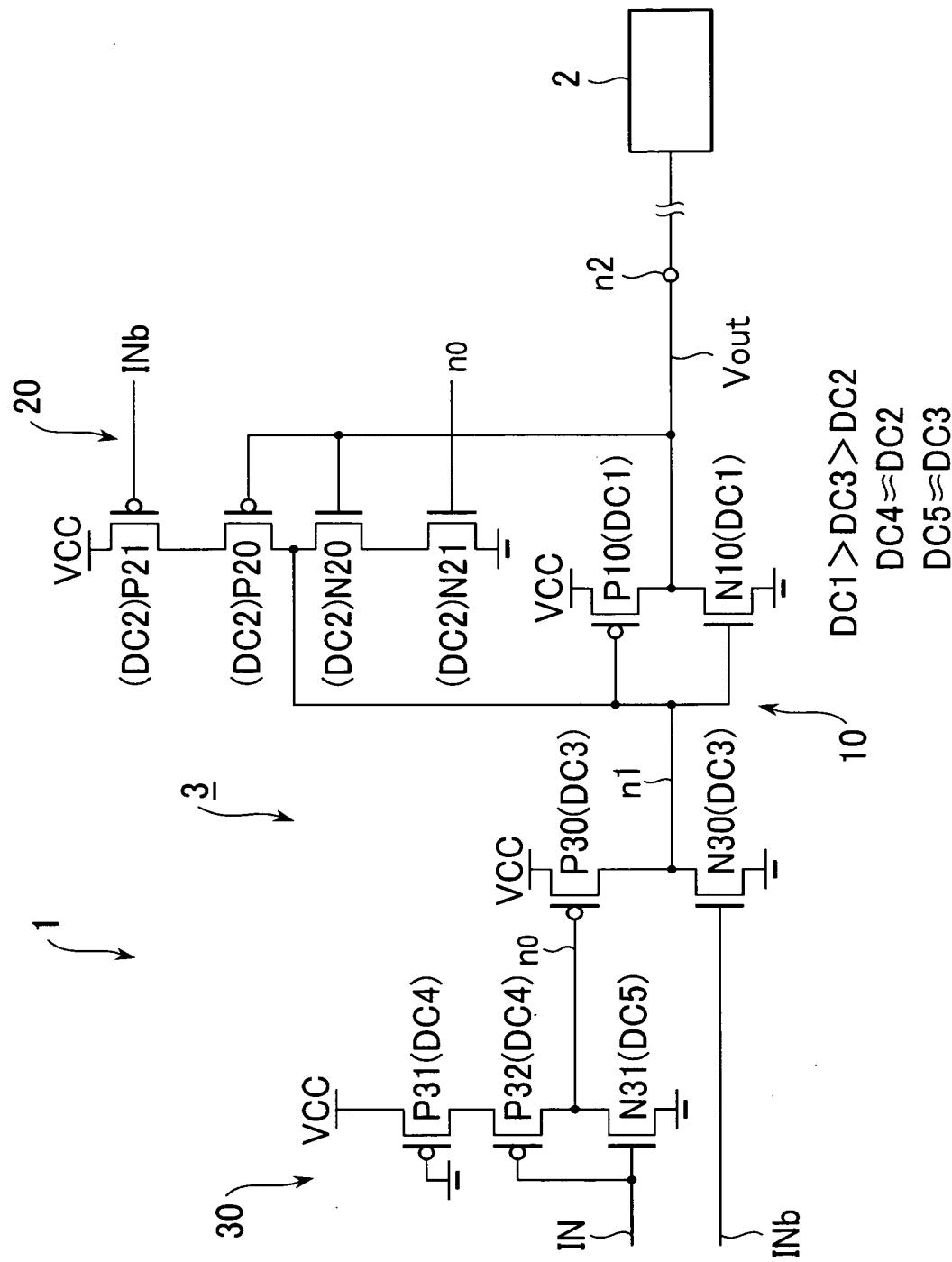
【図4】



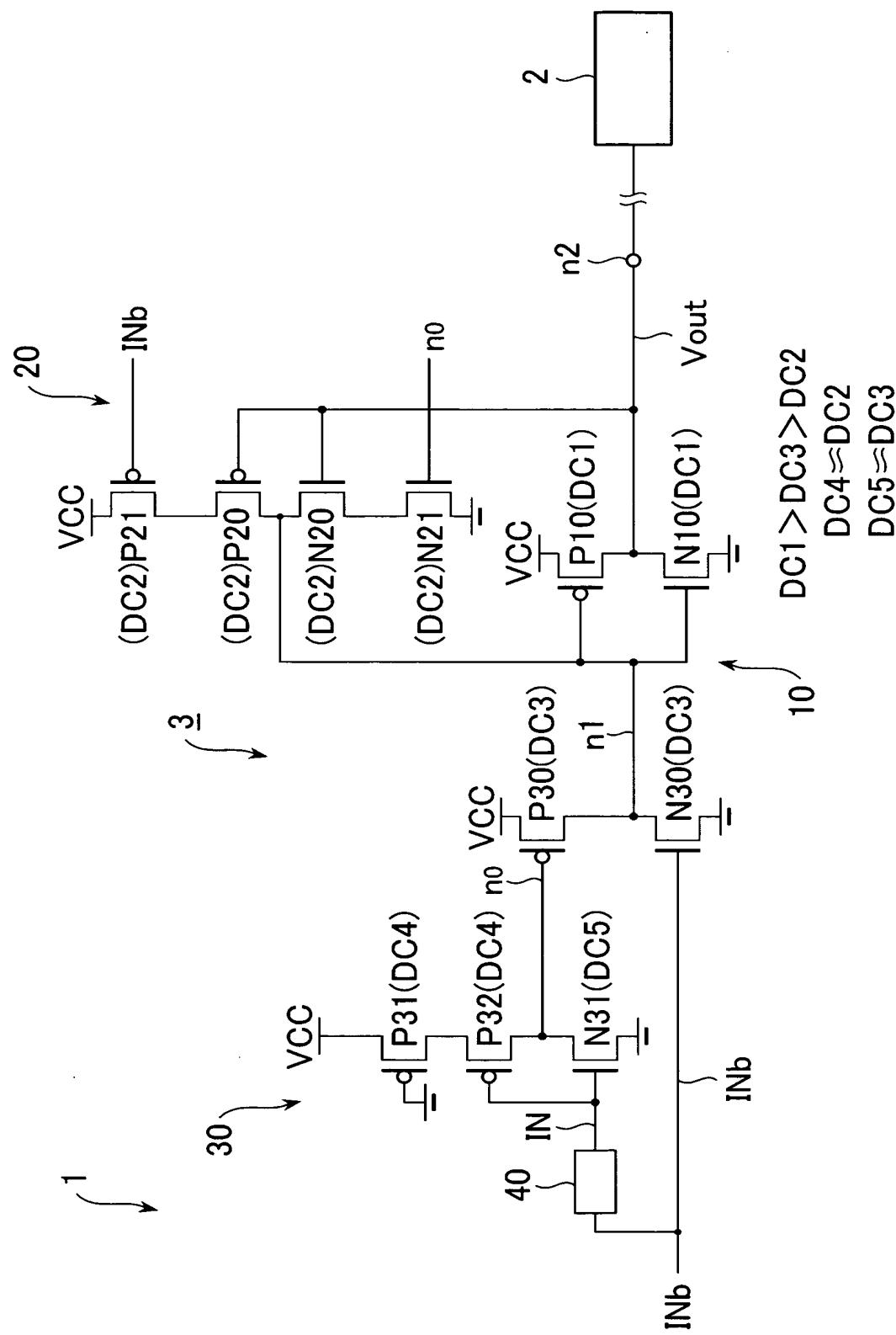
【図 5】



## 【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 レベルシフト回路において、入力側の電源電圧が出力側の電源電圧に対して大幅に低い場合にも、回路面積の拡大を抑制することにある。

【解決手段】 第1振幅VDDの信号IN、INbを第2振幅VCCの信号Voutに増幅するレベルシフト回路であって、第1電流駆動能力DC1を有するトランジスタP10、N10から構成され、出力信号Voutを出力する第1インバータ10と、第2電流駆動能力DC2を有するトランジスタP20、N20から構成され、入力側が第1インバータ10の出力側に接続されると共に出力側が第1インバータ10の入力側に接続された第2インバータ20と、第3電流駆動能力DC3 (DC2 < DC3 < DC1) を有するトランジスタP30、N30から構成され、少なくとも一方がワンショットパルス信号である第1及び第2入力信号IN、INbが入力されることにより第1インバータ回路10を駆動する反転回路30とを備える。

【選択図】 図1

特願 2003-195576

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社